

EXAME NACIONAL DO ENSINO SECUNDÁRIO

12.º Ano de Escolaridade (Decreto-Lei n.º 286/89, de 29 de Agosto)
Curso Tecnológico de Electrotecnia/Electrónica

Duração da prova: 120 minutos
2001

1.ª FASE
1.ª CHAMADA

PROVA ESCRITA DE SISTEMAS DIGITAIS

- A prova é constituída por dois Grupos I e II.
- As justificações que apresentar devem ser completas e sucintas.
- A prova inclui, na página 5, as instruções do microprocessador 8085.

V.S.F.F.

143/1

GRUPO I

1. Um circuito sequencial síncrono é constituído por três biestáveis, tipo **J-K**, activos no flanco descendente do *clock* (*clk*), com as seguintes equações de excitação:

$$J_0 = Q_1 \oplus Q_2 ; K_0 = 1 ; J_1 = K_1 = Q_0 ; J_2 = 1 \text{ e } K_2 = Q_2.$$

Considere que o circuito, no estado inicial, está com $Q_0 = Q_1 = Q_2 = 0$ e que Q_2 corresponde ao *bit* mais significativo (**MSB**).

- 1.1. Construa a tabela de transições de estados do circuito, indicando a sequência por ele produzida.
- 1.2. Estabeleça a forma das ondas de saída em Q_2 , Q_1 e Q_0 durante os impulsos de *clock* necessários para completar a sequência.

Nota: se não respondeu à questão 1.1., considere a seguinte sequência:

0 ; 2 ; 4 ; 6 ; 1 ; 5 ; [0 ; ...

2. O circuito lógico da figura 1 está ligado a quatro unidades idênticas de memória **RAM**, tendo cada uma três entradas de endereço (A_0 , A_1 e A_2) e quatro *bits* por palavra. CS_1 , CS_2 , CS_3 e CS_4 representam as entradas de selecção das 4 unidades de **RAM**.

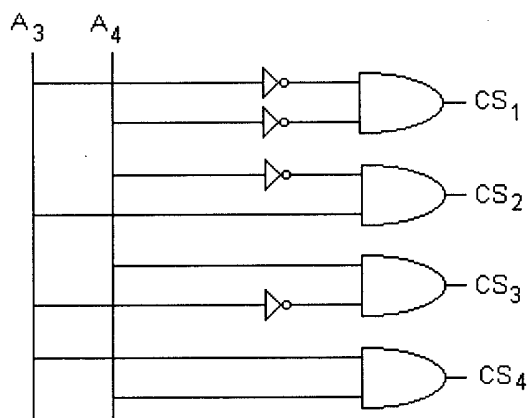


Figura 1

Indique a organização da memória resultante da associação do circuito lógico com as quatro unidades de **RAM**.

3. Considere uma memória **ROM** com a capacidade de 8192 *bits*.
- 3.1. Indique o endereço final da memória, em hexadecimal, quando esta se encontra organizada com palavras de 4 *bits*, sabendo que o endereço inicial é **0000H**. Justifique a sua resposta.
- 3.2. Determine o número de linhas necessárias para seleccionar todas as posições de memória, admitindo que está organizada com palavras de 8 *bits*.

V.S.F.F.

4. Por aplicação do modelo de **Moore**, pretende-se projectar um circuito sequencial síncrono com o seguinte funcionamento:

Sempre que a entrada **I** do circuito se encontra a nível lógico "1", na saída **S** do circuito obtém-se um sinal com uma frequência quatro vezes inferior à frequência do sinal de *clock* (*clk*). Caso contrário, a saída permanece a nível lógico "0".

4.1. Represente o diagrama de estados do circuito.

4.2. Utilizando elementos de memória tipo **D**, estabeleça o mais simplificado possível, o circuito lógico capaz de realizar a função acima descrita.

GRUPO II

1. As instruções do microprocessador 8085, para localizarem os seus operandos, utilizam diversas formas de **endereçamento**.

Exemplifique, através de duas instruções, como se distingue o **endereçamento imediato** do **endereçamento directo**.

2. Antes da execução da instrução aritmética **ADD M**, os conteúdos do acumulador e do par de registos **H-L** do microprocessador 8085 eram, respectivamente, **1FH** e **1212H**, com o extracto da memória de dados indicado na figura 2.

ENDEREÇOS	DADOS
-----	-----
120FH	11H
1210H	FFH
1211H	8DH
1212H	2AH
1213H	4FH
1214H	10H
-----	-----

Figura 2

- 2.1. Indique o conteúdo do acumulador após a execução da instrução **ADD M**. Justifique a sua resposta.
- 2.2. Explique a importância do **Registo de Estado** (registo de *flags*) na elaboração de programas que utilizam instruções lógicas e aritméticas.
3. Escreva um programa, em linguagem **Assembly**, com as instruções do microprocessador 8085, que efectue a adição do número **2F1AH** com um outro número positivo de 2 *bytes*, guardado na memória a partir de **1300H** (*byte* menos significativo). O resultado da operação deverá ficar no par de registos **B-C**, o *carry* no *bit* menos significativo do registo **D** (os restantes *bits* do registo deverão ficar a "0").

FIM

INSTRUÇÕES DO MICROPROCESSADOR 8085

INSTRUÇÕES DE TRANSFERÊNCIA DE DADOS

	Mover A,A 7F A,B 78 A,C 79 A,D 7A A,E 7B A,H 7C A,L 7D A,M 7E	Mover B,A 47 B,B 40 B,C 41 B,D 42 B,E 43 B,H 44 B,L 45 B,M 46	Mover C,A 4F C,B 48 C,C 49 C,D 4A C,E 4B C,H 4C C,L 4D C,M 4E	Mover D,A 57 D,B 50 D,C 51 D,D 52 D,E 53 D,H 54 D,L 55 D,M 56	Mover E,A 5F E,B 58 E,C 59 E,D 5A E,E 5B E,H 5C E,L 5D E,M 5E
MOV:	MOV:	MOV:	MOV:	MOV:	MOV:
MOV:	Mover H,A 67 H,B 60 H,C 61 H,D 62 H,E 63 H,H 64 H,L 65 H,M 66	Mover L,A 6F L,B 68 L,C 69 L,D 6A L,E 6B L,H 6C L,L 6D L,M 6E	Mover M,A 77 M,B 70 M,C 71 M,D 72 M,E 73 M,H 74 M,L 75	Mover imediato A,byte 3E B,byte 06 C,byte 0E D,byte 16 E,byte 1E H,byte 26 L,byte 2E M,byte 36	Carregar imediato B, dble 01 D, dble 11 H, dble 21 SP, dble 31
MOV:	MOV:	MOV:	MVI:	LXI:	
		XCHG EB			
	Carregar/armazenar LDAX B 0A STAX B 02 LDAX D 1A STAX D 12 LHLD end 2A SHLD end 22 LDA end 3A STA end 32				end = endereço de 16 bits

INSTRUÇÕES ARITMÉTICAS E LÓGICAS

	Somar * A 87 B 80 C 81 D 82 E 83 H 84 L 85 M 86	Somar * A 8F B 88 C 89 D 8A E 8B H 8C L 8D M 8E	Soma dupla + B 09 D 19 H 29 SP 39	Subtrair * A 97 B 90 C 91 D 92 E 93 H 94 L 95 M 96	Subtrair * A 9F B 98 C 99 D 9A E 9B H 9C L 9D M 9E	Incrementar ** A 3C B 04 C 0C D 14 E 1C H 24 L 2C M 34
ADD:	ADC:	DAD:	SUB:	SBB:	INR:	
ANA:	Lógicas * A A7 B A0 C A1 D A2 E A3 H A4 L A5 M A6	Lógicas * A AF B A8 C A9 D AA E AB H AC L AD M AE	Lógicas * A B7 B B0 C B1 D B2 E B3 H B4 L B5 M B6	Lógicas * A BF B B8 C B9 D BA E BB H BC L BD M BE	Imediatas * ADI byte C6 ACI byte CE SUI byte D6 SBI byte DE ANI byte E6 XRI byte EE ORI byte F6 CPI byte FE	Decrementar ** A 3D B 05 C 0D D 15 E 1D H 25 L 2D M 35
XRA:	ORA:	CMP:	MVI:	SBB:	INX:	DCR:
						DCX:
		Especiais DAA * 27 CMA 2F STC + 37 CMC 3F		Rotação + RLC 07 RRC 0F RAL 17 RAR 1F		B 0B D 1B H 2B SP 3B
* - todos os bits de flag (S, Z, AC, P e CY) são afectados. ** - todos os bits de flag, excepto o CY (transporte), são afectados. As instruções INX e DCX não afectam nenhuma flag. + - apenas CY é afectado. P = 1 se paridade par Mnemónicos com direitos autorais reservados pela Intel Corporation.						

INSTRUÇÕES DE DESVIO

Saltar JMP end C3 JNZ end C2 JZ end CA JNC end D2 JC end DA JPO end E2 JPE end EA JP end F2 JM end FA PCHL E9	Retornar RET C9 RNZ C0 RZ C8 RNC D0 RC D8 RPO E0 RPE E8 RP F0 RM F8	Chamar CALL end CD CNZ end C4 CZ end CC CNC end D4 CC end DC CPO end E4 CPE end EC CP end F4 CM end FC	Recomeçar 0 C7 1 CF 2 D7 3 DF 4 E7 5 EF 6 F7 7 FF
			RST:

INSTRUÇÕES DE CONTROLO

Operação com pilha PUSH: B C5 D D5 H E5 PSW F5	Entrada/Saída OUT byte D3 IN byte DB
POP: B C1 D D1 H E1 PSW F1	Controlo DI F3 EI FB NOP 00 HLT 76 RIM 20 SIM 30
XTHL E3 SPHL F9	

V.S.F.F.

COTAÇÕES

I

1.	34 pontos
1.1.	22 pontos
1.2.	12 pontos
2.	16 pontos
3.	18 pontos
3.1.	10 pontos
3.2.	8 pontos
4.	40 pontos
4.1.	16 pontos
4.2.	24 pontos

II

1.	18 pontos
2.	28 pontos
2.1.	16 pontos
2.2.	12 pontos
3.	46 pontos

TOTAL 200 pontos